

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-164527**

(43)Date of publication of application : **07.06.2002**

(51)Int.Cl.

H01L 27/146

H01L 31/10

H04N 5/335

(21)Application number : **2000-356658**

(71)Applicant : **INNOTECH CORP**

(22)Date of filing : **22.11.2000**

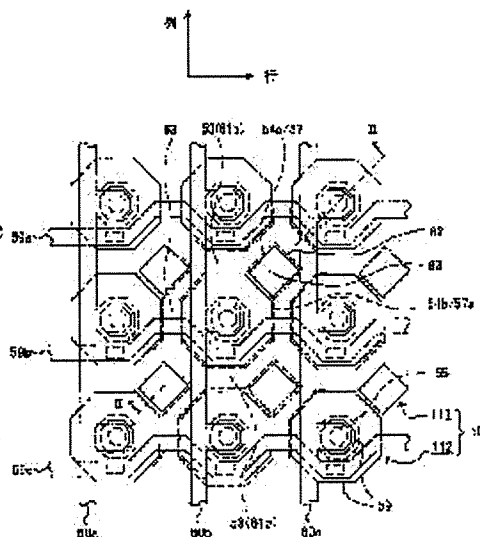
(72)Inventor : **KAWAJIRI KAZUHIRO
MITSUIDA TAKASHI**

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS type image sensor which has its image pickup element made small on the whole, prevents what is called shading from being generated, and can be improved in resolution with a single-plate type.

SOLUTION: Pixels 101 are equipped with a photodiode 111 which generate light-generated charges through light irradiation; and an insulating gate type electric field effect transistor 112 for light signal detection which is adjacent to the photodiode 111, accumulates the light-generated charges in a channel area below a gate electrode 59, and modulates a threshold voltage with the accumulated light-generated charges to detect a light signal. The pixels are arrayed in rows and columns; and the photodiode 11 has its peripheral part surrounded with the gate electrode 59, which has its peripheral part surrounded with the photodiode 111.



LEGAL STATUS

[Date of request for examination] 18.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3615144

[Date of registration] 12.11.2004

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-164527
(P2002-164527A)

(43)公開日 平成14年6月7日(2002.6.7)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 27/146		H 0 4 N 5/335	E 4 M 1 1 8
	31/10		U 5 C 0 2 4
H 0 4 N 5/335		H 0 1 L 27/14	A 5 F 0 4 9
		31/10	G

審査請求 未請求 請求項の数15 O L (全 13 頁)

(21)出願番号 特願2000-356658(P2000-356658)

(22)出願日 平成12年11月22日(2000.11.22)

(71)出願人 593102345

イノテック株式会社

神奈川県横浜市港北区新横浜3-17-6

(72)発明者 川尻 和廣

神奈川県横浜市港北区新横浜3丁目17番6
号 イノテック株式会社内

(72)発明者 三井田 ▲高▼

神奈川県横浜市港北区新横浜3丁目17番6
号 イノテック株式会社内

(74)代理人 100091672

弁理士 岡本 啓三

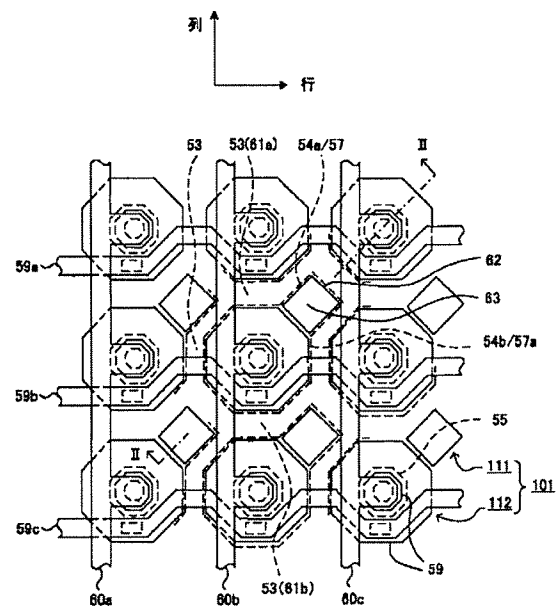
最終頁に続く

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 撮像素子全体を縮小するとともに、所謂シェーディングの発生を防止し、また、単板式で解像度の向上を図ることができるMOS型イメージセンサを提供する。

【解決手段】 光照射により光発生電荷を発生させる受光ダイオード111と、受光ダイオード111に隣接する、光発生電荷をゲート電極59下方のチャンネル領域下に蓄積し、蓄積された光発生電荷により閾値電圧を変調させて光信号を検出する光信号検出用絶縁ゲート型電界効果トランジスタ112とを備えた画素101が行と列に配列されてなり、受光ダイオード111はゲート電極59によってその周辺部を囲まれ、ゲート電極59は受光ダイオード111によってその周辺部を囲まれてなる。



【特許請求の範囲】

【請求項 1】 光照射により光発生電荷を発生させる受光ダイオードと、該受光ダイオードに隣接する、前記光発生電荷をゲート電極下方のチャンネル領域下に蓄積し、該蓄積された光発生電荷により閾値電圧を変調させて光信号を検出する光信号検出用絶縁ゲート型電界効果トランジスタとを備えた画素が行と列に配列されてなり、前記受光ダイオードは前記絶縁ゲート型電界効果トランジスタのゲート電極によってその周辺部を囲まれ、前記絶縁ゲート型電界効果トランジスタのゲート電極は前記受光ダイオードによってその周辺部を囲まれていることを特徴とする固体撮像装置。

【請求項 2】 前記受光ダイオードと前記絶縁ゲート型電界効果トランジスタのゲート電極とが前記行方向及び前記列方向に交互に並んでいることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】 前記受光ダイオードと前記絶縁ゲート型電界効果トランジスタはウェル領域に形成され、前記絶縁ゲート型電界効果トランジスタのゲート電極はリング状を有し、該ゲート電極の内周部の内側のウェル領域にソース領域が設けられ、前記ゲート電極の外周部の外側のウェル領域にドレイン領域が設けられており、前記ソース領域の近傍であって前記チャンネル領域下のウェル領域内に、前記光発生電荷を蓄積する高濃度埋込層が設けられていることを特徴とする請求項 1 又は 2 記載の固体撮像装置。

【請求項 4】 前記高濃度埋込層は前記ドレイン領域から前記ソース領域に至るチャンネル長方向の一部領域であって、チャンネル幅方向全域にわたって形成されていることを特徴とする請求項 3 記載の固体撮像素子。

【請求項 5】 前記画素は前記ドレイン領域と同じ導電型を有する拡散分離領域が一連なりとなっている素子分離領域によって囲まれていることを特徴とする請求項 3 又は 4 記載の固体撮像装置。

【請求項 6】 前記拡散分離領域は前記ドレイン領域と接続し、かつ前記ウェル領域よりも深く形成されてなることを特徴とする請求項 5 記載の固体撮像装置。

【請求項 7】 前記画素は、同じ前記行内では前記ドレイン領域によって繋がっており、かつ前記行毎に絶縁膜により分離され、又は拡散領域により分離されていることを特徴とする請求項 3 乃至 6 の何れかに記載の固体撮像装置。

【請求項 8】 前記絶縁ゲート型電界効果トランジスタのゲート電極及びその周辺は遮光されていることを特徴とする請求項 1 乃至 7 の何れかに記載の固体撮像装置。

【請求項 9】 同一の前記行内にある前記絶縁ゲート型電界効果トランジスタのゲート電極が相互に接続され、かつ同一の前記列内にある前記絶縁ゲート型電界効果トランジスタのソース領域が相互に接続されていることを

特徴とする請求項 1 乃至 8 の何れかに記載の固体撮像装置。

【請求項 10】 前記ゲート電極の外周部の平面形状は四辺以上の辺を有する多角形状又は円形状であることを特徴とする請求項 1 乃至 9 の何れかに記載の固体撮像装置。

【請求項 11】 前記受光ダイオードは前記ゲート電極の多角形の少なくとも一辺に、又は円形状の円周の一部に隣接して設けられていることを特徴とする請求項 10 記載の固体撮像装置。

【請求項 12】 前記画素における前記ゲート電極から前記受光ダイオードに至る方向は、前記行方向及び前記列方向に対して斜め方向、又は並行方向に一致していることを特徴とする請求項 1 乃至 11 の何れかに記載の固体撮像装置。

【請求項 13】 前記同一の行内の画素の並び、及び前記受光ダイオードの並びは、前記行方向に沿ってジグザクとなっていることを特徴とする請求項 1 乃至 12 の何れかに記載の固体撮像装置。

【請求項 14】 前記同一の行内の画素の並びは前記行方向に沿って一直線状になっており、かつ前記受光ダイオードの並びは前記行方向に沿ってジグザクとなっていることを特徴とする請求項 1 乃至 12 の何れかに記載の固体撮像装置。

【請求項 15】 前記固体撮像装置は、前記光信号検出用絶縁ゲート型電界効果トランジスタのゲート電極に走査信号を供給する垂直走査信号駆動走査回路と、前記絶縁ゲート型電界効果トランジスタのドレイン領域にドレイン電圧を供給するドレイン電圧駆動走査回路と、前記ソース領域の電圧を記憶し、さらに前記ソース領域の電圧に対応した光信号を出力する信号出力回路と、前記光信号を読み出すタイミングを制御する走査信号を供給する水平走査信号入力走査回路とを有することを特徴とする請求項 1 乃至 14 の何れかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる閾値電圧変調方式の MOS 型イメージセンサを用いた固体撮像装置に関する。

【0002】

【従来の技術】 CCD 型イメージセンサや MOS 型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターン化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。特に、近年、CCD 型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じ CMOS

技術によって作成できるという利点を生かして、MOS型イメージセンサが見直されている。

【0003】このような世の中の動向に鑑み、本願出願人はMOS型イメージセンサの改良を行い、光信号検出用MOSトランジスタのチャネル領域下にキャリアポケット（高濃度埋込層）25を有するセンサ素子に関する特許出願（特願平10-186453号）を行って特許（登録番号2935492号）を得ている。このMOS型イメージセンサにおいて、この出願の図13及び図14に示すように、単位画素101は受光ダイオード111と受光ダイオード111に隣接する光信号検出用電界効果トランジスタ112とから構成される。

【0004】MOS型イメージセンサは、この単位画素101が行と列に配列されてなる。隣接する単位画素101は素子分離領域によって分離されている。素子分離領域は、LOCOS（LOCcal Oxidation of Silicon）法により基板表面に形成された絶縁分離領域14と、その下の半導体基板に形成されたp型の拡散分離領域13とから構成されている。

【0005】このMOS型イメージセンサを用いて、初期化期間に各電極に高い逆電圧を印加して空乏化させ、ホールポケット25に残る光発生正孔を放出させる。蓄積期間に受光ダイオード111部にマイクロレンズにより集光された光を照射して光発生正孔を生じさせ、移動させてホールポケット25に蓄積させ、読出期間に光発生正孔の蓄積量に比例して変調された光信号検出用電界効果トランジスタ112の閾値電圧を検出することにより光信号を検出する。

【0006】

【発明が解決しようとする課題】ところで、画素配列をさらに高密度化すべく、画素ピッチを小さくしようとする場合、受光ダイオード111部分に比べてゲート電極19の周辺部の構造は複雑なので、ゲート電極19の縮小率は受光ダイオード111部分の縮小率に比べて制限される。従って、現状又は近い将来においては、ゲート電極19の幅は画素ピッチに対して1/2以上、或いは画素がさらに微細化されると画素ピッチに対して2/3以上になると考えられる。

【0007】このような状況を基に画素ピッチを小さくしようとする場合、図9に示すように、受光ダイオード111の受光部が細長い長方形形状になってくる。このため、マイクロレンズにより集光された光に焦点ボケなどがあり、光スポット径が多少広がった場合、図10

(c)に示すように、照射された光が受光部の短辺方向で受光部からはみ出てしまうことがある。この場合、短辺方向の両端部で入射光量が不足し、このため、均一パターンを撮影したときでもイメージセンサからの出力が不均一になるという、所謂シェーディングが生じる。

【0008】また、CCD素子を用いた撮像装置では3つのCCD素子により受光する3板式等の方式により解

像度を向上させるようにしているが、MOS型イメージセンサでは低消費電力、かつ小型という特徴を生かせるように、1つの撮像素子により受光する単板式で解像度を向上させることが望まれている。さらに、LOCOSによる素子分離をやめて、撮像素子全体をさらに小型化したいという要求もある。

【0009】本発明は、上記従来技術の問題点に鑑みて創作されたものであり、撮像素子全体を小型化するとともに、所謂シェーディングの発生を防止し、また、単板式で解像度の向上を図ることができる固体撮像装置を提供するものである。

【0010】

【課題を解決するための手段】上記課題を解決するため、この発明は固体撮像装置に係り、その固体撮像装置の基本構成として、図2及び図4に示すように、光照射により光発生電荷を発生させる受光ダイオード111と、受光ダイオード111に隣接する、光発生電荷をゲート電極59下方のチャネル領域54c下に蓄積し、蓄積された光発生電荷により閾値電圧を変調させて光信号を検出する光信号検出用絶縁ゲート型電界効果トランジスタ112とを備えた画素101が行と列に配列されており、図1、図3、図5乃至図8に示すように、受光ダイオード111は絶縁ゲート型電界効果トランジスタ112のゲート電極59によってその周辺部を囲まれ、絶縁ゲート型電界効果トランジスタ112のゲート電極59は受光ダイオード111によってその周辺部を囲まれていることを特徴としている。また、同一の行内にある絶縁ゲート型電界効果トランジスタ112のゲート電極59が相互に接続され、かつ同一の列内にある絶縁ゲート型電界効果トランジスタ112のソース領域56が相互に接続されていることを特徴としている。

【0011】また、絶縁ゲート型電界効果トランジスタ112のゲート電極59はリング状を有し、ゲート電極59の内周部の内側にソース領域56が設けられ、ゲート電極59の外周部の外側にドレイン領域57aが設けられ、かつ受光ダイオード111及び絶縁ゲート型電界効果トランジスタ112はドレイン領域57aと同じ導電型を有する拡散分離領域53が一連なりとなっている素子分離領域によって囲まれている。この場合、拡散分離領域53は、ドレイン領域57aと同じ導電型を有するウェル領域54a、54bよりも深い導電型不純物領域がドレイン領域57aと接続して形成されてなることを特徴としている。また、ゲート電極59の外周部の平面形状は四辺以上の辺を有する多角形状又は円形状であることを特徴としている。この場合、受光ダイオード111はゲート電極59の多角形の少なくとも一辺に、又は円形状の円周の一部分に隣接して設けられていることを特徴としている。そして、画素におけるゲート電極59から受光ダイオード111に至る方向は、行方向及び列方向に対して斜め方向、又は並行方向に一致している

ことを特徴としている。

【0012】さらに、固体撮像装置内の画素101の平面配置においては、特に、図5乃至図8に示すように、行方向に沿って及び列方向に沿って受光ダイオード111とゲート電極59とが交互に並んでいることを特徴としている。この場合、特に、図5に示すように、同一の行内の画素101の並びは行方向に沿って直線状になっており、かつ受光ダイオード111の並びは行方向に沿ってジグザクとなっている。

また、特に、図6乃至図8に示すように、受光ダイオード111の並び以外に、同一の行内の画素101の並びが、行方向に沿ってジグザクとなっていることを特徴としている。

【0013】以下に、上記構成により奏される作用・効果を説明する。本発明の固体撮像装置では、光信号検出用絶縁ゲート型電界効果トランジスタ112とを備えた画素101が行と列に配列されてなり、受光ダイオード111は絶縁ゲート型電界効果トランジスタ112のゲート電極59によってその周辺部を囲まれ、絶縁ゲート型電界効果トランジスタ112のゲート電極59は受光ダイオード111によってその周辺部を囲まれている。即ち、図1、図3、図5乃至図8に示すような画素配置となる。この場合、一つの画素101において、外周部の平面形状が四辺以上の辺を有する多角形状又は円形状であるようなリング状のゲート電極59が設けられ、受光ダイオード111がゲート電極59の多角形の少なくとも一辺に、又は円形状の円周の一部分に隣接して設けられている。

【0014】図1及び図3では、ゲート電極59から受光ダイオード111に至る方向が、行方向及び列方向に対して斜め方向に一致するように、画素101内を配置しているので、ゲート電極59の幅を画素ピッチに対して $1/2$ 以上、或いは $2/3$ 以上に保持しつつ、例えば四角形状の受光部の短辺と長辺との比が1に近くなるという、所謂等方的な広がりをもつ受光部を備えた受光ダイオード111を形成することが容易になる。

【0015】また、図5では、ゲート電極59から受光ダイオード111に至る方向が、行方向及び列方向に対して並行方向に一致するように、画素101内を配置している。かつ、受光ダイオード111の並びは行方向に沿ってジグザクとなっている。従って、特に行方向において、ゲート電極59の幅を画素ピッチに対して $1/2$ 以上、或いは $2/3$ 以上に保持しつつ、所謂等方的な広がりをもつ受光部を備えた受光ダイオード111を形成することが容易になる。

【0016】また、図6乃至図8では、ゲート電極59から受光ダイオード111に至る方向が、行方向及び列方向に対して並行方向に一致するように、画素101内を配置している。かつ、受光ダイオード111の並び、及び同一の行内の画素101の並びが、行方向に沿って

ジグザクとなっている。即ち、行及び列方向について実質的に画素ピッチが約 $1/2$ ピッチ縮小されることになるため、ゲート電極59の幅を画素ピッチに対して $1/2$ 以上、或いは $2/3$ 以上に保持しつつ、所謂等方的な広がりをもつ受光部を備えた受光ダイオード111を形成することが容易になる。ところで、何も工夫しないで画素を配置した図9のような場合、図10(c)のように、照射光スポットが受光部からはみ出てしまうことにより、画素からの光電気信号の出力が低下する。一方、この発明のような画素配列では、より等方的な広がりをもつ受光部を備えた受光ダイオード111を得ることができるため、図10(a)、(b)に示すように、照射光スポットが受光部からはみ出てしまうことにより、画素からの光電気信号の出力が低下するという、所謂シェーディングの発生を防止することができる。

【0017】また、固体撮像装置内の画素101の平面配置においては、図5乃至図8に示すように、行方向に沿って及び列方向に沿って受光ダイオード111とゲート電極59とが交互に並んでいる。この場合、特に、図5に示すように、同一の行内の画素101の並びは行方向に沿って直線状になっており、かつ受光ダイオード111の並びは行方向に沿ってジグザクとなっている。また、特に、図6乃至図8に示すように、受光ダイオード111の並び以外に、同一の行内の画素101の並びが、行方向に沿ってジグザクとなっている。

【0018】図5乃至図8のような配列、即ち受光ダイオード111の中心の並びがジグザクしているような配列は、CCD素子を用いた3板式の固体撮像装置における所謂画素ずらしと同じ効果を有する。即ち、特定の行の受光部の並びをその上又は下の行の受光部の並びに対して $1/2$ ピッチずらすことにより、実質的に受光部の間にさらに受光部が存在することになり、画素ずらしを行わない場合の映像に比して、受光部間の映像信号も取り込まれる。従って、単板式で解像度を向上させることができる。なお、単板式の画素ずらしは、CCDの場合、逐次出力方式を用いているので、相当難しいと考えられるが、この発明のようなMOS型素子の場合、任意の行の画素から映像信号を出力できるため、単板式の画素ずらしによる解像度の向上は容易である。

【0019】また、リング状のゲート電極59が設けられ、ゲート電極59の内側がソース領域56となり、その外側がドレイン領域57aとなっている。従って、ドレイン領域57aと同じ導電型で、かつドレイン領域57aと接続する拡散分離領域53により素子分離領域を形成することで、LOCOS法による素子分離を用いなくてもよいので、撮像素子全体の微細化が可能となる。

【0020】なお、ウェル領域54a、54b等が上記と逆の導電型の場合、即ち高濃度埋込層25がn型の場合、高濃度埋込層25はエレクトロンポケット（キャリ

アポケット)となり、光発生電子を蓄積することになる。

【0021】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。

(第1の実施の形態)図1は、本発明の第1の実施の形態に係るMOS型イメージセンサを構成する画素のレイアウトについて示す平面図である。

【0022】図1に示すように、受光ダイオード111と、受光ダイオード111に隣接する光信号検出用絶縁ゲート型電界効果トランジスタ(以下、単にMOSトランジスタと称する場合もある。)112とを備えた画素101が行と列に配列されている。MOSトランジスタ112としてnチャネルMOS(nMOS)を用いている。画素101は拡散分離領域53が一連なりとなっている素子分離領域によって囲まれている。また、MOSトランジスタ112の部分のゲート電極59は周縁部が八角形状を有し、帯状、かつリング状を有している。

【0023】行方向に沿って並ぶMOSトランジスタ112のゲート電極59は垂直走査信号(VSCAN)供給線59a, 59b, ...によって相互に接続され、かつ列方向に沿って並ぶMOSトランジスタ112のソース領域56は垂直出力線(又はソース電極)60a, 60b, ...によって相互に接続されている。垂直走査信号(VSCAN)供給線59a, 59b, ...と垂直出力線(又はソース電極)60a, 60b, ...とは相互に交差する方向に延びている。ドレイン領域57aと接続された拡散分離領域53はドレイン電圧(VDD)供給線(又はドレイン電極)61a, 61b, ...を兼ねている。

【0024】第1の実施の形態では、特に、以下のような特徴を有している。即ち、画素101内では、MOSトランジスタ112のゲート電極59から受光ダイオード111に至る方向が行方向及び列方向に対して斜め方向に向いている。受光ダイオード111は、当該画素内のMOSトランジスタ112のゲート電極59、及び隣接する画素のMOSトランジスタ112のゲート電極59によってその周辺部を囲まれている。逆に、MOSトランジスタ112のゲート電極59は、当該画素内の受光ダイオード111、及び隣接する画素の受光ダイオード111によってその周辺部を囲まれている。

【0025】また、同じ垂直走査信号(VSCAN)供給線59a, 59b, ...によって相互に接続されたMOSトランジスタ112のゲート電極59は行方向に沿って一直線状に並び、垂直出力線(又はソース電極)60a, 60b, ...によってソース領域56が相互に接続されたMOSトランジスタ112のゲート電極59は列方向に沿って一直線状に並んでいる。

【0026】次に、図2を参照して本発明の実施の形態に係るMOS型イメージセンサの一つの画素101の断

面構造について説明する。図2は、図1のII-II線に沿う断面図である。図2に示すように、受光ダイオード111とMOSトランジスタ112は、それぞれ異なるp型のウエル領域、即ち第1のウエル領域54aと第2のウエル領域54bに形成され、それらのウエル領域54a, 54bは互いに接続されている。受光ダイオード111の部分の第1のウエル領域54aは光照射による電荷の発生領域の一部を構成している。MOSトランジスタ112の部分の第2のウエル領域54bはこの領域54bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【0027】MOSトランジスタ112の部分の帯状、かつリング状を有するゲート電極59の内周部の内側にn型のソース領域56が設けられ、同じゲート電極59の外周部の外側にn型のドレイン領域57aが設けられている。ソース領域56とドレイン領域57aとの間の領域であって、ゲート電極59の下第2のウエル領域54bの表層がチャネル領域となっている。ゲート電極59はゲート絶縁膜58を介してチャネル領域54c上に形成されている。通常の動作電圧において、そのチャネル領域を電子の蓄積状態或いはデプレッション状態に保つため、チャネル領域に適当な濃度のn型不純物を導入し、チャネルドープ層54cを形成している。

【0028】さらに、ドレイン領域57aが延在して受光ダイオード111の不純物領域57が形成されている。即ち、不純物領域57とドレイン領域57aとは互いに接続した第1及び第2のウエル領域54a, 54bの表層に大部分の領域がかかるように一体的に形成されている。さらに、不純物領域57及びドレイン領域57aは画素101の周辺部まで延び、画素101を囲む拡散分離領域53と接続されている。

【0029】さらに、このMOS型イメージセンサの特徴であるキャリアポケット(高濃度埋込層)55は、ドレイン領域57aからソース領域56に至るチャネル長方向の一部領域であって、ソース領域56側に形成され、かつチャネル幅方向全域にわたって形成されている。また、上記の構成要素はシリコン酸化膜等の絶縁膜64によって被覆されており、受光ダイオード111の受光窓63以外の領域は、その絶縁膜64上に形成された金属層(遮光膜)62により遮光されている。

【0030】次に、図11を参照して上記の構造の単位画素を用いたMOS型イメージセンサの全体の構成について説明する。図11は、この実施の形態におけるMOS型イメージセンサの回路構成図を示す。図11に示すように、このMOS型イメージセンサは、2次元アレーセンサの構成を採っており、上記した構造の画素101が列方向及び行方向にマトリクス状に配列されている。

【0031】また、垂直走査信号(VSCAN)の駆動走査回路102及びドレイン電圧(VDD)の駆動走査

回路103が画素領域を挟んでその左右に配置されている。垂直走査信号供給線（VSCAN供給線）59a, 59b, ...は垂直走査信号の駆動走査回路102から行毎に一つずつ出ている。各垂直走査信号供給線59a, 59b, ...は、行方向に並ぶ全ての単位画素101内のMOSトランジスタ112のゲート電極59に接続されている。

【0032】また、ドレイン電圧供給線（VDD供給線）61a, 61b, ...はドレイン電圧（VDD）の駆動走査回路103から行毎に一つずつ出ている。各ドレイン電圧供給線61a, 61b, ...は、行方向に並ぶ全ての単位画素101内の光信号検出用MOSトランジスタ112のドレイン領域57aに接続されている。

【0033】また、垂直出力線60a, 60b, ...が列毎に一つずつ出しており、各垂直出力線60a, 60b, ...は列方向に並ぶ全ての単位画素101内のMOSトランジスタ112のソース領域56にそれぞれ接続されている。さらに、MOSトランジスタ112のソース領域56は列毎に垂直出力線60a, 60b, ...を通して信号出力回路105と接続している。そして、図10に示すように、ソース領域56は上記の信号出力回路105内の図示しないキャパシタからなるラインメモリと直結している。

【0034】垂直走査信号（VSCAN）及び水平走査信号（HSCAN）により、逐次、各単位画素101のMOSトランジスタ112を駆動して光の入射量に比例した、残留電荷によるノイズ成分を含まない映像信号（Vout）が信号出力回路105から読み出される。次に、上記のMOS型イメージセンサにおける光信号検出のための素子動作について図12を参照して説明する。図12は光信号検出のための素子動作を示すタイミングチャートである。

【0035】光信号検出のための素子動作においては、蓄積期間－読出期間－初期化期間（掃出期間）－蓄積期間－...というように、蓄積期間－読出期間－初期化期間（掃出期間）という一連の過程が繰り返される。なお、この実施の形態では、蓄積期間－読出期間の間にホールポケットリセット期間を設け、初期化期間－蓄積期間の間にブランキング期間を設けている。

【0036】図12に示す蓄積期間では、光照射によりキャリアを発生させ、キャリアのうち正孔（ホール）を第1及び第2のウェル領域54a, 54b内を移動させてキャリアポケット55に蓄積する。この場合、ドレイン領域57aに凡そ+1.6Vの正の電圧を印加するとともに、ソース領域56を高インピーダンス状態に保持する。ゲート電極59にMOSトランジスタ112のチャネル領域に十分な電子が蓄積されるような凡そ+2Vの正の電圧を印加する。結果的にソース領域56もドレイン領域57aと同じ凡そ+1.6Vの正の電圧が印加

されることになる。この蓄積期間は、第1及び第2のラインメモリにそれぞれ記憶させた光信号により変調した第1のソース電位と光信号がはいる前の第2のソース電位との差の電圧を出力させる期間でもある。

【0037】同じく読出期間では、キャリアポケット55に蓄積された光発生電荷によるMOSトランジスタ112の閾値電圧の変化をソース電位の変化として読み取り、第1のラインメモリに記憶させる。MOSトランジスタ112が飽和状態で動作するように、ドレイン領域57aに凡そ+2～3Vの正の電圧を印加するとともに、ゲート電極59に凡そ+2～3Vの正の電圧を印加する。

【0038】同じく初期化期間では、光発生電荷（光発生キャリア）を蓄積する前に、読み出しが終わって残留する光発生電荷や、アクセプタやドナー等を中性化し、或いは表面準位に捕獲されている正孔や電子等、光信号の読み出し前の残留電荷を半導体内から排出して、キャリアポケット55を空にする。ソース領域56やドレイン領域57aやゲート電極59に約+5V以上の正の高電圧を印加する。

【0039】ブランキング期間では、初期化期間と蓄積期間の間に水平走査の折返しに必要な期間であり、この期間を利用してキャリアポケット55から光発生電荷を掃き出した状態での第2のソース電位を第2のラインメモリに記憶させる。この期間も、受光ダイオード111やMOSトランジスタ112には上記読出期間と同様な電圧が印加される。

【0040】次に、図1及び図2に示す構成と異なる他の構成について図3及び図4を参照して説明する。図3は、図1に示す構成と異なる他の構成を示す平面図であり、図4は図3のIII-III線に沿う断面図である。図1に示す構成に対して、VSCAN供給線59a, 59b, ...と並行して延びるVDD供給線61a, 61b, ...をドレイン領域57a上方に新たに設け、各画素101のドレイン領域57aと接続していることを特徴としている。なお、図3、4中、図1、2に示す符号と同じものは図1、2と同じものを示す。

【0041】図3、4に示すような構成とすることで、画素101間のドレイン電圧の電位差を最小にして、固体撮像装置の動作を均一にすることができる。以上のように、この発明の第1の実施の形態によれば、一つの画素101において、周縁部の平面形状が八角形状であるようなゲート電極59を用い、受光ダイオード111がゲート電極59の八角形の少なくとも一辺に隣接して設けられ、上記画素101が行と列に配列されてなる。また、ゲート電極59から受光ダイオード111に至る方向が、行方向及び列方向に対して斜め方向に一致するように、画素101内を配置している。かつ、受光ダイオード111は絶縁ゲート型電界効果トランジスタ112のゲート電極59によってその周辺部を囲まれ、絶縁ゲ

ート型電界効果トランジスタ112のゲート電極59は受光ダイオード111によってその周辺部を囲まれるように配列している。これにより、例えば四角形状の受光部の短辺と長辺との比が1に近くなるという、所謂等方的な広がりを持つ受光部を備えた受光ダイオード111を形成することが容易になる。ところで、ゲート電極59の幅を画素101のピッチの1/2以上或いは2/3以上とした場合、図9のように何も工夫しないで画素を配置すると、受光部が細長い長方形形状となるため、図10(c)のように、照射光スポットが受光部からはみ出てしまうことにより、画素からの光電気信号の出力が低下する。一方、この発明のような画素配列では、より等方的な広がりを持つ受光部を備えた受光ダイオード111を得ることができるため、図10(a)に示すように、照射光スポットが受光部からはみ出てしまうことにより、画素からの光電気信号の出力が低下するという、所謂シェーディングの発生を防止することができる。

【0042】(第2の実施の形態)図5は、本発明の第2の実施の形態に係るMOS型イメージセンサ内における画素の配列について示す平面図である。この発明の第2の実施の形態において、同一の行内の画素101の並びは行方向に沿って一直線状になっている点は第1の実施の形態と同じである。また、受光ダイオード111が、当該画素101内のMOSトランジスタ112のゲート電極59、及び隣接する画素のMOSトランジスタ112のゲート電極59によってその周辺部を囲まれ、逆にMOSトランジスタ112のゲート電極59は、当該画素内の受光ダイオード111、及び隣接する画素の受光ダイオード111によってその周辺部を囲まれている点も第1の実施の形態と同じである。

【0043】一方、第1の実施の形態と異なるところは、画素101内では、MOSトランジスタ112のゲート電極59から受光ダイオード111に至る方向が行方向に直交し、列方向に向いている点である。また、MOSトランジスタ112のゲート電極59の並びは行方向に沿ってジグザクとなっている点である。また、一行内ではドレイン領域57aと同じ導電型を有する拡散分離領域53が一連なりとなっており、第1及び第2のウェル領域54a、54bより深く形成された素子分離領域53によって画素101が囲まれている点は第1の実施の形態と同じであるが、行間を分離する行間分離帯62aが設けられている点が第1の実施の形態と異なる。行間分離帯62aは、例えば、LOCOS(Local Oxide of Silicon)によるフィールド酸化膜と、フィールド酸化膜下の半導体基板の表面から基板に達するp型層とから構成される。

【0044】他の構成は、図5において、図1及び図2中の符号と同じ符号で示すものは図1及び図2と同じものを示すため、その説明を省略する。さらに、画素10

1の断面構造も、上記行間分離帯62aを除いて図2に示す画素の断面構造と同じなので、説明を省略する。この発明の第2の実施の形態の構成によっても、第1の実施の形態と同様な効果を有する。

【0045】さらに、第2の実施の形態では、第1の実施の形態の構成と異なる以下のような構成を有する。即ち、固体撮像装置内の画素101の平面配置においては、図5に示すように、行方向に沿って及び列方向に沿って受光ダイオード111とゲート電極59とが交互に並んでいる。この場合、特に、同一の行内の画素101の並びは行方向に沿って直線状になっており、かつ受光ダイオード111の並びは行方向に沿ってジグザクとなっている。

【0046】図5のような配列、即ち受光ダイオード111の中心の並びがジグザクしているような配列は、CCD素子を用いた3板式の固体撮像装置における所謂画素ずらしと同じ効果を有する。即ち、特定の行の受光部の並びをその上又は下の行の受光部の並びに対して1/2ピッチずらすことにより、実質的に受光部の間にさらに受光部が存在することになり、画素ずらしを行わない場合の映像に比して、受光部間の映像信号も取り込まれる。従って、単板式で解像度を向上させることができる。

【0047】なお、単板式の画素ずらしは、CCDイメージセンサの場合、逐次出力方式を用いているので、相当難しいと考えられるが、この発明のようなMOS型イメージセンサの場合、任意の行の画素から映像信号を出力できるため、単板式の画素ずらしによる解像度の向上は容易である。

(第3の実施の形態)図6は、本発明の第3の実施の形態に係るMOS型イメージセンサ内における画素の配列について示す平面図である。

【0048】この第3の実施の形態において、受光ダイオード111の並び、及びMOSトランジスタ112のゲート電極59の並びがともに行方向に沿ってジグザクとなっている点は第2の実施の形態と同様である。また、受光ダイオード111が、当該画素101内のMOSトランジスタ112のゲート電極59、及び隣接する画素のMOSトランジスタ112のゲート電極59によってその周辺部を囲まれ、逆にMOSトランジスタ112のゲート電極59は、当該画素内の受光ダイオード111、及び隣接する画素の受光ダイオード111によってその周辺部を囲まれている点も第2の実施の形態と同じである。

【0049】一方、第2の実施の形態と異なるところは、画素101内では、MOSトランジスタ112のゲート電極59から受光ダイオード111に至る方向が行方向に向いている点である。また、一行内ではドレイン領域57aと同じ導電型を有する拡散分離領域53が一連なりとなっており、第1及び第2のウェル領域54

a, 5 4 bより深く形成された素子分離領域5 3によって画素1 0 1が囲まれている点は第1及び第2の実施の形態と同じであるが、行間を分離する行間分離帯6 2 aが設けられていない点が第2の実施の形態と異なる。

【0 0 5 0】さらに、ゲート電極5 9同士を接続するゲート相互接続部5 9 xをゲート電極5 9と同じ材料で形成している点が第2の実施の形態と異なる。接続部5 9 xは、例えばパターニングによりゲート電極5 9を形成する際にゲート電極5 9と同じ材料をパターニングして同時に形成する。なお、図1、図3及び図5中、点線で示した第2のウェル領域5 4 b、不純物領域5 7、及びドレイン領域5 7 aは、上記図6においても、図1、図3及び図5と同様に、ゲート電極5 9の周囲に存在しているが、図6においては省略している。

【0 0 5 1】また、他の構成は、図6において、図1及び図2中の符号と同じ符号で示すものは図1及び図2と同じものを示す。説明を省略する。また、画素1 0 1の断面構造は図2に示す画素の断面構造と同じなので、説明を省略する。次に、図6に示す構成と異なる他の構成について図7を参照して説明する。図7は、図6に示す構造と異なる他の構成を示す平面図である。

【0 0 5 2】図6に示す構造に対して、接続部5 9 xによりゲート電極5 9を相互に接続する代わりに、VSCAN供給線5 9 a, 5 9 b, ...によりゲート電極5 9を相互に接続していることを特徴としている。なお、図7中、図6に示す符号と同じものは図6と同じものを示す。以上のように、この発明の第3の実施の形態は、第2の実施の形態とほぼ同様な構成を有するので、第2の実施の形態と同様な効果を有する。

【0 0 5 3】（第4の実施の形態）図8は、本発明の第4の実施の形態に係るMOS型イメージセンサ内における画素の配列について示す平面図である。この第3の実施の形態において、受光ダイオード1 1 1の並び、及びMOSトランジスタ1 1 2のゲート電極5 9の並びが行方向に沿ってジグザクとなっている点は第2及び第3の実施の形態と同様である。また、受光ダイオード1 1 1が、当該画素1 0 1内のMOSトランジスタ1 1 2のゲート電極5 9、及び隣接する画素のMOSトランジスタ1 1 2のゲート電極5 9によってその周辺部を囲まれ、逆にMOSトランジスタ1 1 2のゲート電極5 9は、当該画素内の受光ダイオード1 1 1、及び隣接する画素の受光ダイオード1 1 1によってその周辺部を囲まれている点も第2及び第3の実施の形態と同じである。

【0 0 5 4】一方、第3の実施の形態と異なるところは、画素1 0 1内では、MOSトランジスタ1 1 2のゲート電極5 9から受光ダイオード1 1 1に至る方向が列方向に向いている点である。また、一行内ではドレイン領域5 7 aと同じ導電型を有する拡散分離領域5 3が一連なりとなっており、第1及び第2のウェル領域5 4 a, 5 4 bより深く形成された素子分離領域5 3によっ

て画素1 0 1が囲まれている点は第1乃至第3の実施の形態と同じであるが、行間を分離する行間分離帯6 2 aが設けられていない点が第2の実施の形態と異なる。

【0 0 5 5】さらに、ゲート電極5 9同士を接続するゲート相互接続部5 9 xをゲート電極5 9と同じ材料で形成している点が第3の実施の形態と同じである。第3の実施の形態と同様に、接続部5 9 xは、例えばパターニングによりゲート電極5 9を形成する際にゲート電極5 9と同じ材料をパターニングして同時に形成する。なお、図1、図3及び図5中、点線で示した第2のウェル領域5 4 b、不純物領域5 7、及びドレイン領域5 7 aは、上記図8においても、図1、図3及び図5と同様に、ゲート電極5 9の周囲に存在しているが、図8においては省略している。

【0 0 5 6】また、他の構成は、図8において、図6及び図7中の符号と同じ符号で示すものは図6及び図7と同じものを示す。説明を省略する。画素1 0 1の断面構造も、図2に示す画素の断面構造と同じなので、説明を省略する。以上のように、この発明の第4の実施の形態は、第2及び第3の実施の形態とほぼ同様な構成を有するので、第2及び第3の実施の形態と同様な効果を有する。

【0 0 5 7】（比較例）図9は、上記実施の形態に係るMOS型イメージセンサに対する比較例のMOS型イメージセンサにおける画素の配列について示す平面図である。画素1 0 1内の受光ダイオード1 1 1とMOSトランジスタ1 1 2の並びが行方向と同じ方向に向くようにして画素1 0 1を行と列に配列している。

【0 0 5 8】この場合、上記実施の形態と異なり、受光ダイオード1 1 1、及びゲート電極5 9が列方向にそれぞれ一直線状に並んでいる。一つの画素の微細化を行なうと、画素1 0 1内のゲート電極5 9の幅を画素1 0 1のピッチの1/2以上、或いはさらに微細化がなされて2/3以上とする場合、受光部は、図9のように、受光部が細長い長方形形状となる。このため、図10 (c)のように、照射光スポットが受光部からはみ出してしまうため、画素からの光電気信号の出力が低下する。一方、上記第1乃至第4の実施の形態のような画素配列では、より等方的な広がりを持つ受光部を備えた受光ダイオード1 1 1を得ることができるため、図10 (a)、

(b)に示す第1及び第2の実施の形態の画素で代表するように、照射光スポットが受光部に収まるようになる。このため、照射光スポットが受光部からはみ出してしまうことにより画素1 0 1からの光電気信号の出力が低下するという、所謂シェーディングの発生を防止することができる。

【0 0 5 9】以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範

囲に含まれる。例えば、上記の実施の形態では、ゲート電極59の周縁部の平面形状が八角形状であるが、八角形状以外に、四辺以上の辺を有する多角形状又は円形状であるようなものを用いることができる。

【0060】さらに、この発明が適用される画素101の構造として種々の変形例が考えられるが、受光ダイオード111と光信号検出用のMOSトランジスタ112とが隣接して一つの画素101を構成し、受光ダイオード111は絶縁ゲート型電界効果トランジスタ112のゲート電極59によってその周辺部を囲まれ、絶縁ゲート型電界効果トランジスタ112のゲート電極59は受光ダイオード111によってその周辺部を囲まれていればよい。

【0061】また、一つの行において、受光ダイオード111の並びがジグザクになるように配列され、行方向及び列方向に対して受光ダイオード111の並びが実質的に凡そ1/2ピッチとなるように配置されていればよい。また、p型の基板51上のn型層52a、52b内に第1及び第2のウェル領域54a、54bを形成しているが、n型層52a、52bの代わりに、p型のエピタキシャル層にn型不純物を導入してn型層を形成し、このn型層内に第1及び第2のウェル領域54a、54bを形成してもよい。

【0062】さらに、p型の基板51を用いているが、代わりにn型の基板を用いてもよい。この場合、上記実施の形態と同様な効果を得るためには、上記実施の形態等で説明した各層及び各領域の導電型をすべて逆転させればよい。この場合、キャリアポケット55に蓄積すべきキャリアは電子及び正孔のうち電子である。

【0063】

【発明の効果】以上のように、本発明によれば、光信号検出用絶縁ゲート型電界効果トランジスタとを備えた画素が行と列に配列されてなり、受光ダイオードは絶縁ゲート型電界効果トランジスタのゲート電極によってその周辺部を囲まれ、絶縁ゲート型電界効果トランジスタのゲート電極は受光ダイオードによってその周辺部を囲まれている。これにより、例えば四角形状の受光部の短辺と長辺との比が1に近くなるという、所謂等方的な広がりをもつ受光部を備えた受光ダイオードを形成することが容易になる。このため、照射光スポットが受光部からはみ出てしまうことにより、画素からの光電気信号の出力が低下するという、所謂シェーディングの発生を防止することができる。

【0064】また、固体撮像装置内の画素の平面配置においては、行方向に沿って及び列方向に沿って受光ダイオードとゲート電極とが交互に並んでいる。この場合、特に、同一の行内の画素の並びは行方向に沿って直線状になっており、かつ絶縁ゲート型電界効果トランジスタのゲート電極の並びは行方向に沿ってジグザクとなっている。また、特に、絶縁ゲート型電界効果トランジスタ

のゲート電極の並び以外に、同一の行内の画素の並びが、行方向に沿ってジグザクとなっている。

【0065】受光ダイオードの中心の並びがジグザクしているような配列により、実質的に受光部の間にさらに受光部が存在することになり、単板式で解像度を向上させることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る固体撮像装置に用いられる固体撮像素子の画素内の素子レイアウトを示す平面図である。

【図2】同じく、図1のII-II線に沿う断面図である。

【図3】この発明の第1の実施の形態に係る他の固体撮像装置に用いられる固体撮像素子の画素内の素子レイアウトを示す平面図である。

【図4】同じく、図3のIII-III線に沿う断面図である。

【図5】この発明の第2の実施の形態に係る固体撮像装置に用いられる固体撮像素子の画素内の素子レイアウトを示す平面図である。

【図6】この発明の第3の実施の形態に係る固体撮像装置に用いられる固体撮像素子の画素内の素子レイアウトを示す平面図である。

【図7】この発明の第3の実施の形態に係る他の固体撮像装置に用いられる固体撮像素子の画素内の素子レイアウトを示す平面図である。

【図8】この発明の第4の実施の形態に係る固体撮像装置に用いられる固体撮像素子の画素内の素子レイアウトを示す平面図である。

【図9】比較例に係る固体撮像装置に用いられる固体撮像素子の画素内の素子レイアウトを示す平面図である。

【図10】(a)乃至(c)は、比較例との比較において、この発明の効果を説明する平面図である。

【図11】この発明の固体撮像素子を有する固体撮像装置の全体の回路構成を示す図である。

【図12】この発明の実施の形態に係る固体撮像装置の駆動方法について示すタイミングチャートである。

【図13】従来例に係る固体撮像装置に用いられる固体撮像素子の単位画素内の素子レイアウトを示す平面図である。

【図14】同じく、図13のI-I線に沿う断面図である。

【符号の説明】

53 拡散分離領域（素子分離領域）

54a 第1のウェル領域

54b 第2のウェル領域

54c チャネルドープ層

55 キャリアポケット（高濃度埋込層）

56 ソース領域

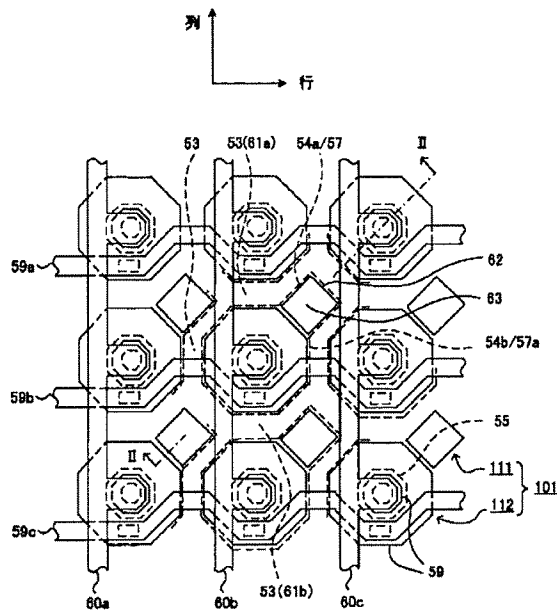
57 不純物領域

57a ドレイン領域

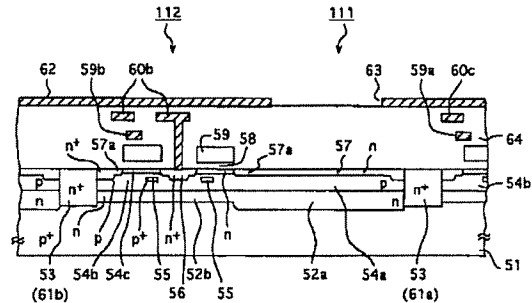
58 ゲート絶縁膜
 59 ゲート電極
 59a、59b、59c VSCAN供給線
 59x ゲート相互接続部
 60a、60b、60c、60d 垂直出力線
 61a、61b VDD供給線
 71 水平出力線
 72a、72b HSCAN供給線
 73a、73b 昇圧電圧供給線
 101 単位画素

102 VSCAN駆動走査回路
 103 VDD駆動走査回路
 104 HSCAN入力走査回路
 105 信号出力回路
 107 映像信号出力端子
 108 昇圧走査回路
 111 受光ダイオード
 112 光信号検出用絶縁ゲート型電界効果トランジスタ（光信号検出用MOSトランジスタ）

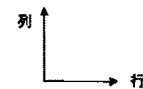
【図1】



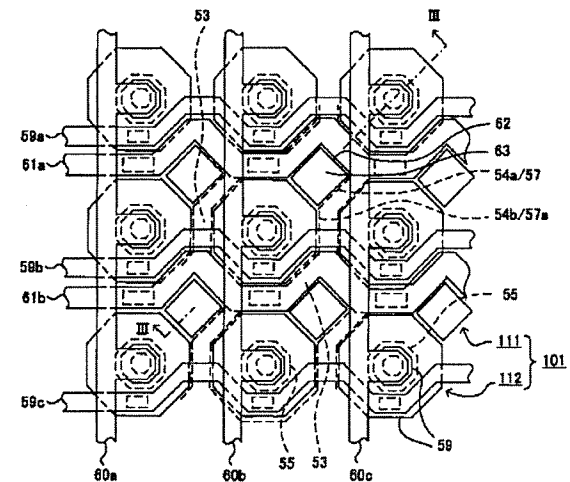
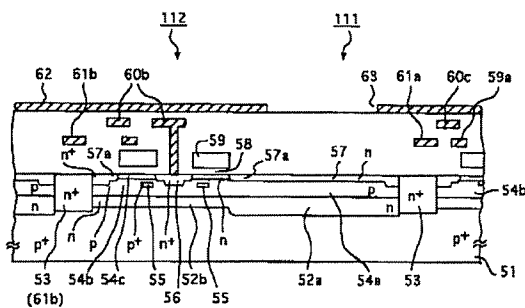
【図2】



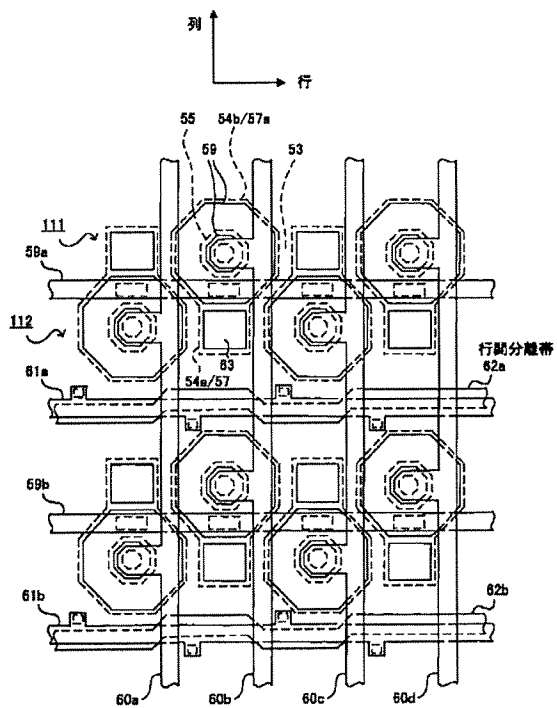
【図3】



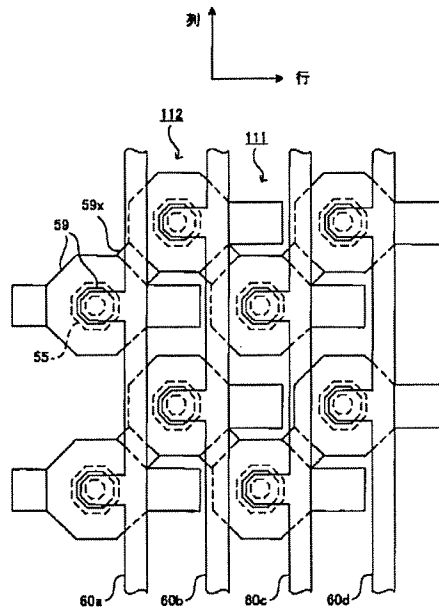
【図4】



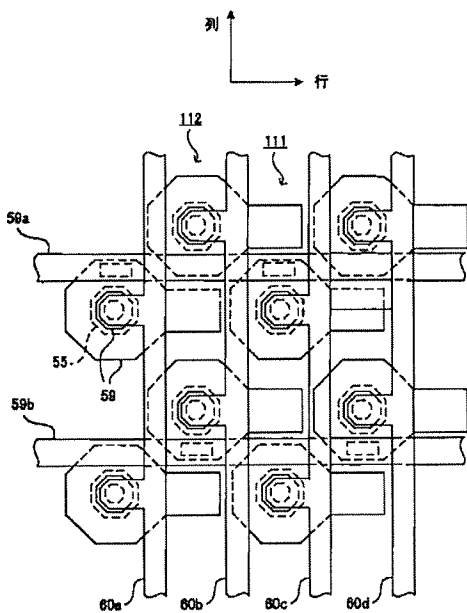
【図5】



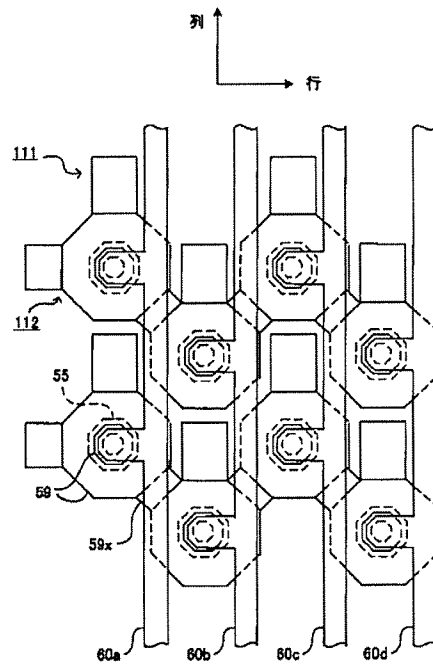
【図6】



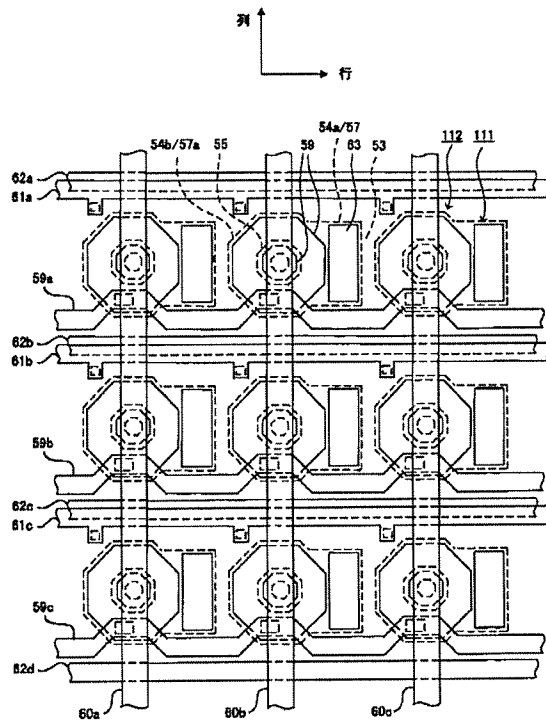
【図7】



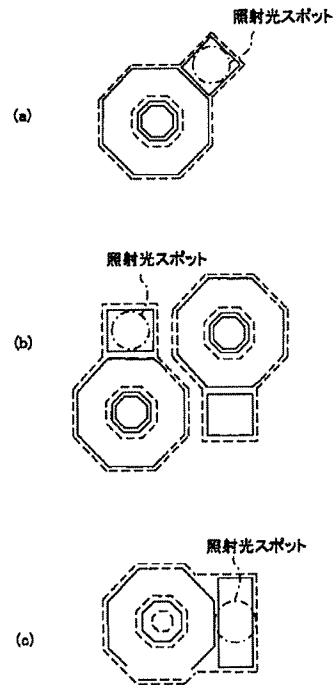
【図8】



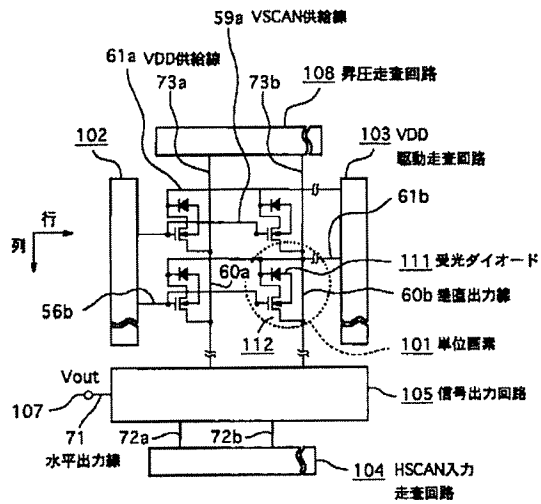
【図9】



【図10】

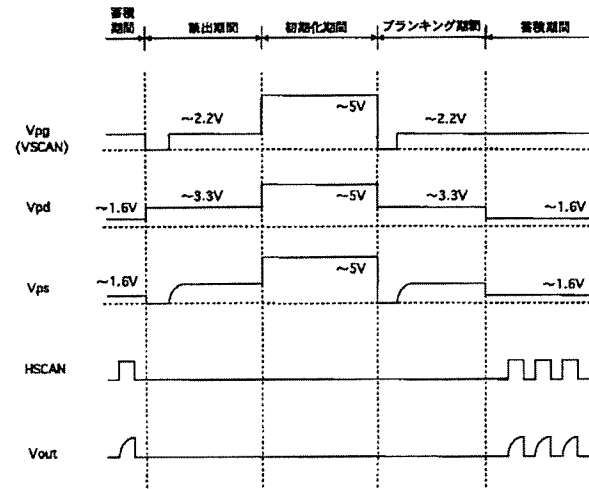


【図11】

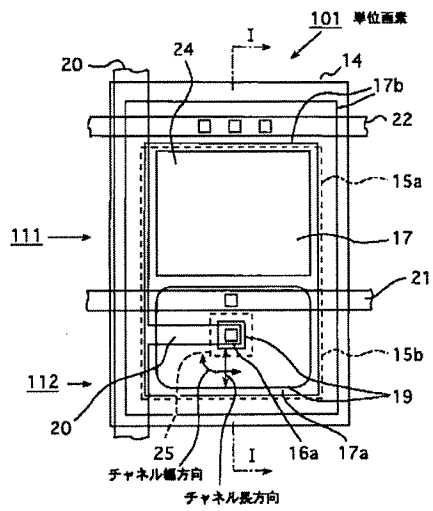


72a, 72b : HSCAN供給線
 102 : VSCAN駆動走査回路
 107 : 映像信号出力端子
 112 : 光信号検出用MOSTランジスタ

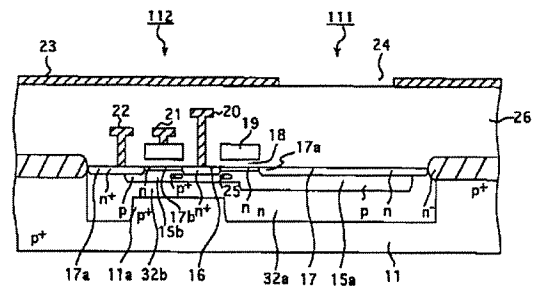
【図12】



【図13】



【図14】



フロントページの続き

Fターム(参考) 4M118 AA05 AA10 AB01 AB10 BA14
CA03 DB11 FA01 FA06 FA26
FA33 FA50 GB11
5C024 CX35 GX03 GY31
5F049 MA03 NA20 NB03 NB05 QA11
RA03 RA08 UA14